

非同期式回路に基づく耐劣化故障性実現に関する研究

An Approach to Tolerating Delay Faults based on Asynchronous Circuits

米田 友洋
Tomohiro YONEDA

どんな研究？

半導体プロセス技術の進歩に伴い、大規模でデペンダブルなVLSIを実現する上で、今までにないタイプの故障が問題となりつつあります。この研究は、使用中のストレスに起因するチップ内の局所的な性能劣化に着目し、それに対する耐故障性を実現する一手法を提案するものです。

何が特徴？

非同期式回路は、ローカルなハンドシェイクにより演算制御を実行するため、演算器の処理速度が低下しても常に正しい出力が得られます。本研究では、さらに演算器をペア化し、劣化の影響度に基づきその演算器割当を交換する手法を提案し、性能劣化の影響を軽減します。

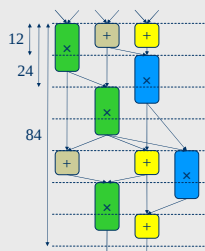
劣化故障の影響（同期式回路と非同期式回路の違い）

●例として用いるデータフローグラフ

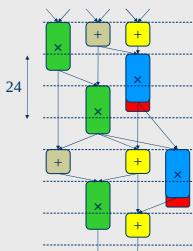
- 演算時間：乗算器：20（2クロック演算），加算器：10
- 劣化故障1回の発生：無故障時の演算時間の15%が増加

- マージン20%：演算完了期限：84，クロック周期：12
- 非同期式回路の制御オーバーヘッド：クロック周期の10%

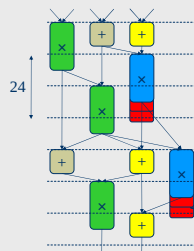
同期式回路



乗算器（青）に劣化発生



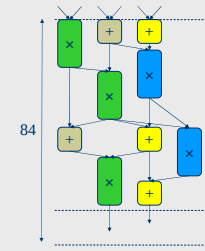
乗算器（青）にさらに劣化発生



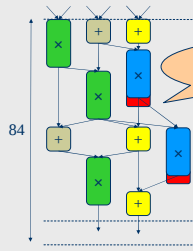
システムダウン

次クロックサイクルで結果が必要であるため救いようがない

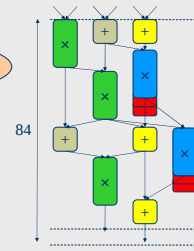
非同期式回路



乗算器（青）に劣化発生



乗算器（青）にさらに劣化発生

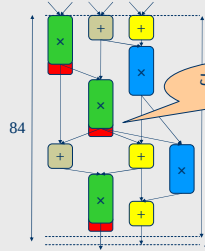


正常動作

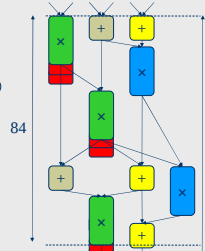
74 + 3 + 3 = 80

耐故障化のアイデア

●非同期式回路でも乗算器（緑）に劣化故障が発生すると、...



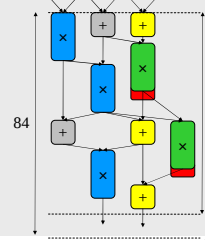
ここにタイミング余裕は存在しない



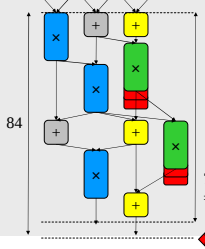
システムダウン

74 + 6 + 6 + 6 = 92

●乗算器（緑）の劣化を検出し、乗算器（青）の演算と割当を交換



74 + 3 = 77



正常動作

74 + 3 + 3 = 80

信頼度・MTTFの改善

